

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177046

(43)Date of publication of application : 29.06.2001

(51)Int.Cl. H01L 25/04
H01L 25/18

(21)Application number : 11-363503

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.12.1999

(72)Inventor : HAYASHI TORU

KATAGIRI MITSUAKI

NAKAMURA ATSUSHI

NAKAJIMA HIROSHI

YAMAMOTO KENICHI

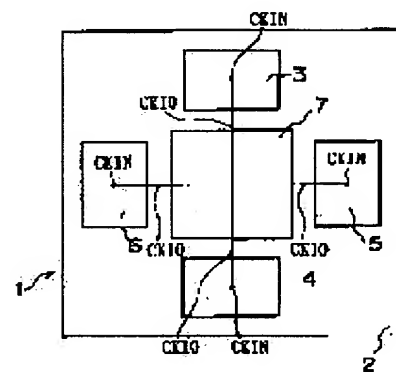
(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify clock signal wiring in the shortest distance, and to stably and surely operate even a clock signal with high frequencies, and to reduce manufacturing costs.

SOLUTION: A logic chip 7 formed in a multi-chip module is provided with a clock output terminal CKOT for outputting a clock signal. This clock output terminal CKOT is formed at the central part of the logic chip 7, and clock signal wiring CKIO is connected with each of clock signal input terminals CKIN of memories 3-6 arranged near the peripheral part with the clock signal output terminal CKOT as a center. The clock output terminal CKOT is formed at the central part of the logic chip 7, so that the clock signal wiring CKIO connecting

the clock output terminal CKOT with the clock signal input terminals CKIN can be easily and linearly wired in the shortest distance, and that the semiconductor device can be stably operated.



1: 半導体装置
2: 配線基板
3-6: メモリ(第1-第4半導体チップ)
7: ロジックチップ(第1半導体チップ)
CKOT: クロック出力端子
CKIN: クロック信号入力端子
CKIO: クロック信号配線

LEGAL STATUS

[Date of request for examination] 01.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁷H 0 1 L 25/04
25/18

識別記号

F I

H 0 1 L 25/04

テマコード* (参考)

Z

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平11-363503

(22) 出願日

平成11年12月21日 (1999. 12. 21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 林 亨

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 片桐 光昭

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

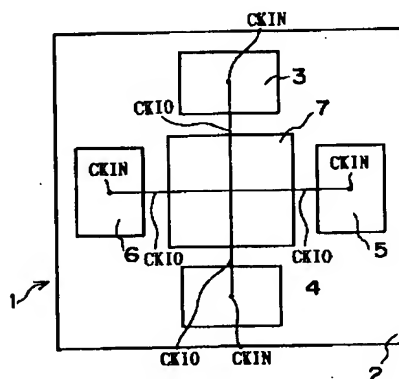
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 クロック信号配線最短等長配線を容易し、高周波数のクロック信号であっても安定して確実に動作し、かつ製造コストを下げる。

【解決手段】 マルチチップモジュールに設けられたロジックチップ7には、クロック信号を出力するクロック出力端子CKOTが設けられている。このクロック出力端子CKOTは、該ロジックチップ7の中心部に形成され、クロック信号配線CKIOが、該クロック信号出力端子CKOTを中心に、周辺部近傍に配置されたメモリ3～6のクロック信号入力端子CKINにそれぞれ接続されている。クロック出力端子CKOTをロジックチップ7の中心部に形成したことにより、クロック出力端子CKOTとクロック信号入力端子CKINとを接続するクロック信号配線CKIOを、容易に直線的、かつ最短距離で配線することができ、半導体装置を安定して動作させることができる。

図 5



- 1: 半導体装置
2: 配線基板
3～6: メモリ(第2半導体チップ)
7: ロジックチップ(第1半導体チップ)
CKOT: クロック出力端子
CKIN: クロック信号入力端子
CKIO: クロック信号配線

【特許請求の範囲】

【請求項1】 クロック信号を出力するクロック出力端子が設けられた第1の半導体チップと、前記第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップとが1つの配線基板に表面実装された半導体装置であって、

前記第1半導体チップのクロック出力端子を、前記第1半導体チップの中心部に設けたことを特徴とする半導体装置。

【請求項2】 クロック信号を出力するクロック出力端子が設けられた第1の半導体チップと、前記第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップとが1つの配線基板に表面実装された半導体装置であって、

前記第1半導体チップのクロック出力端子を、前記第1半導体チップに設けられた他の端子よりも前記第1半導体チップの中心部に近づけて配置したことを特徴とする半導体装置。

【請求項3】 クロック信号を出力するクロック出力端子が中心部に設けられた第1の半導体チップを準備する工程と、

前記第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、

前記第1半導体チップのクロック出力端子と、前記第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成された前記第1、第2の半導体チップを実装する配線基板を準備する工程と、

前記第1、第2半導体チップを前記配線基板に搭載する工程と、

前記配線基板に複数の外部端子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 クロック信号を出力するクロック出力端子が他の端子よりも中心部に近づけて設けられた第1の半導体チップを準備する工程と、

前記第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、

前記第1半導体チップのクロック出力端子と、前記第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成された前記第1、第2の半導体チップを実装する配線基板を準備する工程と、

前記第1、第2半導体チップを前記配線基板に搭載する工程と、

前記配線基板に複数の外部端子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 クロック信号を出力するクロック出力端子が中心部、または他の端子よりも中心部に近づけて設けられた第1の半導体チップを準備する工程と、

前記第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、

前記第1半導体チップのクロック出力端子と、前記第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成され、前記第1、第2半導体チップのいずれか一方を表面に実装し、

他方を裏面に実装する配線基板を準備する工程と、

前記第1、第2半導体チップを前記配線基板に搭載する工程と、

前記配線基板に複数の外部端子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の内部配線技術に関し、特に、MCM (Multi Chip Module) 内部のクロック信号配線の最適化に適用して有効な技術に関するものである。

【0002】

【従来の技術】高集積化、および高速化を実現する半導体集積回路装置として、MCMがある。このMCMは、2つ以上の半導体チップを1つの配線基板に表面実装したものである。

【0003】また、MCMは、たとえば、SDRAM (Synchronous Dynamic Random Access Memory) やフラッシュメモリなど周辺チップ、ならびにそれら周辺チップを制御するMPU (Micro Processing Unit) などのロジックチップから構成されている。

【0004】本発明者が検討したところによれば、MCMでは、外部から供給されたクロック信号は、配線基板に設けられた外部端子であるクロック信号入力端子を介してロジックチップに入力される。

【0005】このロジックチップに入力されたクロック信号は、分周されて該ロジックチップのクロック信号出力端子から出力され、配線基板に形成された配線を介して周辺チップに設けられたクロック信号入力端子にそれぞれ入力される。

【0006】なお、この種の半導体集積回路装置について詳しく述べてある例としては、1993年5月31日、日経BP社発行、香山晋、成瀬邦彦（監修）、「実践講座VLSIパッケージング技術（下）」P216～P228があり、この文献には、マルチチップモジュールの構成などが記載されている。

【0007】

【発明が解決しようとする課題】ところが、上記のような半導体集積回路装置のクロック信号配線技術では、次

のような問題点があることが本発明者により見い出された。

【0008】すなわち、ロジックチップに設けられたクロック信号出力端子は、該ロジックチップの周辺部近傍に設けられているので、周辺チップのレイアウトによって、クロック出力端子と個々の周辺チップに設けられたクロック信号入力端子とを接続するクロック信号配線の配線長が異なってしまう、信号のタイミングばらつきなどによる誤動作が生じてしまうという問題がある。

【0009】また、クロック信号の信号タイミングばらつきを低減するために、それぞれの周辺チップのクロック信号入力端子とロジックチップのクロック出力端子とを接続するクロック信号配線を等長配線にしようとした場合、もっとも長い配線長のクロック信号配線にあわせて他の短いクロック信号配線CKIOOの配線も延長しなければならない。

【0010】さらに、たとえば、アコーディオン配線などにより配線を延長することで、物理的には等長にすることは可能であるが、配線の寄生容量や寄生抵抗などにより電気的には必ずしも等長になるとは限らないので、クロック信号のタイミングばらつきが生じる可能性がある。

【0011】また、クロック信号の全体的な延長によって、クロック信号の立ち上がり、立ち下がりが遅くなる、クロック信号が減衰する、クロック信号によって動作するしきい値付近でインピーダンスミスマッチングなどによる反射波形が生じるといった現象が起これ、半導体装置の動作不良を引き起こしてしまう恐れがある。

【0012】本発明の目的は、クロック信号配線の最短等長配線を容易にし、高周波数のクロック信号であつても安定して確実に動作し、かつ製造コストを下げるのできる半導体装置およびその製造方法を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0015】すなわち、本発明の半導体装置は、クロック信号を出力するクロック出力端子が設けられた第1の半導体チップと、該第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップとが1つの配線基板に表面実装された構成からなり、該第1半導体チップのクロック出力端子をチップの中心部に設けたものである。

【0016】また、本発明の半導体装置は、クロック信号を出力するクロック出力端子が設けられた第1の半導体チップと、該第1半導体チップから出力されたクロッ

ク信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップとが1つの配線基板に表面実装された構成からなり、該第1半導体チップのクロック出力端子を他の端子よりもチップ中心部に近づけて配置したものである。

【0017】さらに、本発明の半導体装置の製造方法は、クロック信号を出力するクロック出力端子が中心部に設けられた第1の半導体チップを準備する工程と、その第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、第1半導体チップのクロック出力端子と第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成された第1、第2の半導体チップを実装する配線基板を準備する工程と、第1、第2半導体チップを配線基板に搭載する工程と、該配線基板に複数の外部端子を形成する工程とを有するものである。

【0018】また、本発明の半導体装置の製造方法は、クロック信号を出力するクロック出力端子が他の端子よりも中心部に近づけて設けられた第1の半導体チップを準備する工程と、第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、第1半導体チップのクロック出力端子と第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成された第1、第2の半導体チップを実装する配線基板を準備する工程と、第1、第2半導体チップを配線基板に搭載する工程と、該配線基板に複数の外部端子を形成する工程とを有するものである。

【0019】さらに、本発明の半導体装置の製造方法は、クロック信号を出力するクロック出力端子が中心部、または他の端子よりも中心部に近づけて設けられた第1の半導体チップを準備する工程と、第1半導体チップから出力されたクロック信号が入力されるクロック信号入力端子が設けられた2つ以上の第2半導体チップを準備する工程と、第1半導体チップのクロック出力端子と第2半導体チップのクロック信号入力端子とを最短等長距離によって配線したクロック信号配線が形成され、第1、第2半導体チップのいずれか一方を表面に実装し、他方を裏面に実装する配線基板を準備する工程と、第1、第2半導体チップを配線基板に搭載する工程と、該配線基板に複数の外部端子を形成する工程とを有するものである。

【0020】以上のことにより、第1半導体チップのクロック出力端子と第2半導体チップのクロック信号入力端子とを接続するクロック信号配線を、容易に最短等長配線することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面

に基づいて詳細に説明する。

【0022】（実施の形態1）図1は、本発明の実施の形態1による半導体装置に設けられたロジックチップとメモリとのレイアウト説明図、図2は、本発明の実施の形態1によるクロック信号配線の接続説明図、図3は、本発明の実施の形態1によるロジックチップに設けられたチップ電極の説明図、図4は、本発明の実施の形態1によるロジックチップに設けられたクロック出力端子の説明図、図5は、本発明の実施の形態1によるロジックチップとメモリとのクロック信号配線における接続状態の説明図、図6は、本発明者が検討した半導体装置に設けられたロジックチップに設けられたクロック出力端子の説明図、図7、図8は、本発明者が検討したロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【0023】本実施の形態1において、マルチチップモジュールである半導体装置1には、図1に示すように、配線基板2が設けられている。配線基板2は、ガラスエポキシ基板などからなり、多層配線が形成されている。

【0024】配線基板2の主面には、ベアチップであるメモリ（第2半導体チップ）3～6、ならびにロジックチップ（第1半導体チップ）7が表面実装されている。メモリ3～6は、たとえば、SDRAMからなる。ロジックチップ7は、MPUなどであり、該メモリ3～6の制御を司る。

【0025】配線基板2の大きさは、たとえば、1辺が約27mm程度の正方形からなり、メモリ3～6の大きさは、短辺が約4.7mm程度、長辺が約8.2mm程度の長方形からなっている。ロジックチップ7は、1辺が約6.8mm程度の正方形となっている。

【0026】メモリ3～6、ロジックチップ7の裏面には、図2に示すように、接続用のチップ電極がアレイ状に形成されており、これらチップ電極と配線基板2の接続用電極部とが、金またはニッケルなどの耐酸化性金属からなるはんだバンプ8を介してそれぞれ電氣的に接続されている。ここからは、接続部がはんだとして考えていくことにする。

【0027】また、メモリ3～6、ロジックチップ7に形成された球形のはんだバンプ8の大きさは、直径が約0.1mm程度であり、はんだバンプ8の配列間隔は、隣り合うはんだバンプ8の中心間の距離が、約0.3mm程度となっている。

【0028】配線基板2の裏面には、該配線基板2の外周部から中心部にかけて、たとえば、4列の電極部が所定のピッチでアレイ状に形成されており、これら電極部には、球形のはんだからなるはんだバンプ（外部端子）9がそれぞれ形成されている。

【0029】はんだバンプ9は、配線基板2に形成されたビアなどを介して、該配線基板2の内層、および主面に形成された所定の配線パターンにそれぞれ電氣的に接

続されている。

【0030】そして、はんだバンプ9を電子部品などを実装するプリント配線基板Pに形成された電極（基板電極）に重合させて搭載し、リフローを行うことにより半導体装置1が電氣的に接続される。

【0031】さらに、ロジックチップ7の中心部には、図3に示すように、チップ電極CCKが設けられている。チップ電極CCKは、外部から入力されたクロック信号を分周して出力する。このチップ電極CCKにははんだバンプ8aを形成することによって、図4に示すように、クロック出力端子CKOTとなる。

【0032】また、ロジックチップ7のクロック出力端子CKOTが、レイアウトの制約などにより中心部に設けられない場合には、該クロック出力端子CKOTをロジックチップ7に形成された他の端子となるはんだバンプ8よりも中心部に近づけて配置するようにする。

【0033】メモリ3～6の中心部には、ロジックチップ7のクロック出力端子CKOTから出力されたクロック信号を入力するクロック信号入力端子CKINがそれぞれ設けられている。

【0034】メモリ3～6は、図5に示すように、ロジックチップ7の上方、下方、ならびに左右の側方における近傍にそれぞれ配置されている。ロジックチップ7のクロック出力端子CKOTとメモリ3～6のクロック信号入力端子CKINとは、クロック信号配線CKIOによって接続されている。

【0035】クロック信号配線CKIOは、ロジックチップ7のクロック信号出力端子CKOTを中心として十字状にメモリ3～6のクロック信号入力端子CKINにそれぞれ接続され、該クロック信号配線CKIOが、直線的に、かつ最短距離となるようにそれぞれ配線されている。

【0036】クロック信号配線CKIOの配線形成は、図2に示したように、ロジックチップ7のクロック出力端子CKOTをビアによって配線基板2直下の内層に形成された配線に接続した後、その配線をメモリ3～6のクロック信号入力端子CKINの直下までそれぞれ配線し、再びビアによって各々のクロック信号入力端子CKINに接続することにより形成されている。

【0037】これによって、ロジックチップ7のクロック信号出力端子CKOTとメモリ3～6のクロック信号入力端子CKINとの配線距離を短く、かつ等長に配線することができる。

【0038】次に、本発明者が検討したマルチチップモジュールである半導体装置のクロック信号配線CKIOについて、図6～図8を用いて説明する。ここでは、半導体装置の構成は、本実施の形態1における半導体装置1と同様に、ガラスエポキシ基板などの配線基板上に、ベアチップである4つのメモリ、ならびにロジックチップ30が表面実装されているものとする。

【0039】マルチチップモジュールに搭載されるロジックチップ30は、図6に示すように、クロック出力端子CKOTTが、該ロジックチップ30におけるある1辺の周辺部近傍に設けられている。図6では、簡単化のためクロック出力端子CKOTTのみの端子を示している。

【0040】このように、ロジックチップ30のクロック出力端子CKOTTが半導体チップの偏った位置に設けられている場合、図7、図8に示すように、すべてのクロック信号配線CKIOOを等長配線することが困難となる。

【0041】そのために、もっとも長い配線長のクロック信号配線CKIOOにあわせて他の他の短いクロック信号配線CKIOOを、いわゆる、アコーディオン配線ACなどを形成することによって配線長を延長しなければならず、この場合、物理的には等長になるが、配線の寄生成分があるため、電気的には必ずしも等長になるとは限らず、クロック信号のタイミングばらつきが発生する恐れがある。

【0042】また、電気的に等長になったとしても、このような配線長の増加によりクロック信号の減衰、クロック波形のくずれなどが生じ、動作不良を引き起こしてしまう恐れがある。

【0043】しかし、本実施の形態1における半導体装置1では、クロック信号出力端子CKOTTが、該ロジックチップ7の中央部に設けられているので、ロジックチップ7のクロック信号出力端子CKOTTとメモリ3～6のクロック信号入力端子CKINとの配線距離を容易に最短距離で等長にそれぞれ配線することが可能となる。

【0044】それにより、本実施の形態1によれば、クロック信号配線CKIOの配線長を短く、かつ等長にできるので、動作周波数が高くなっても半導体装置1を安定して動作させることができる。

【0045】また、クロック信号配線CKIOの配線長が短くなることによって、配線基板2を小型化でき、半導体装置1を小さくすることができる。

【0046】（実施の形態2）図9は、本発明の実施の形態2による半導体装置に設けられたロジックチップとメモリとのレイアウト説明図、図10は、本発明の実施の形態2によるロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【0047】本実施の形態2において、マルチチップモジュールである半導体装置1aは、図9に示すように、前記実施の形態1と同様に、ガラスエポキシ基板などの配線基板2、ベアチップであるメモリ3～6、ならびにロジックチップ7から構成されている。

【0048】これらメモリ3～6、ロジックチップ7の中心部には、クロック信号入力端子CKIN、クロック出力端子CKOTTがそれぞれ設けられている。ここでも、ロジックチップ7のクロック出力端子CKOTTが、

レイアウトの制約などにより中心部に設けられない場合には、該クロック出力端子CKOTTをロジックチップ7に形成された他の端子となるはんだバンプ8よりも中心部に近づけて配置するようにする。

【0049】また、半導体装置1aにおいては配線基板2の中央部にロジックチップ7が実装されており、このロジックチップ7の上方にメモリ3、4が配置され、ロジックチップ7の下方にメモリ5、6が配置されている。

【0050】クロック信号配線CKIOは、図10に示すように、ロジックチップ7のクロック信号出力端子CKOTTを中心としてX字状にメモリ3～6のクロック信号入力端子CKINにそれぞれ接続されており、クロック信号配線CKIOが、直線的に、かつ最短距離となるように配線されている。

【0051】よって、ロジックチップ7のクロック信号出力端子CKOTTとメモリ3～6のクロック信号入力端子CKINとの配線距離を短く、かつ等長にそれぞれ配線することができる。

【0052】クロック信号配線CKIOの配線形成は、前記実施の形態1に示したように、ロジックチップ7のクロック出力端子CKOTTをビアによって配線基板2直下の内層に形成された配線に接続した後、その配線をメモリ3～6のクロック信号入力端子CKINの直下までそれぞれ配線し、再びビアによって各々のクロック信号入力端子CKINに接続することにより形成する。

【0053】それによって、本実施の形態2によれば、配線基板2上の抵抗、静電容量素子などの他の電子部品が表面実装され、メモリ3～6をロジックチップ7の4辺の周辺部にレイアウトできない制約などがある場合であっても、ロジックチップ7のクロック信号出力端子CKOTTとメモリ3～6のクロック信号入力端子CKINとの配線距離を短く、かつ等長に配線することができる。

【0054】また、クロック信号配線CKIOの配線長が短くなることによって、配線基板2を小型化でき、半導体装置1aを小さくすることができる。

【0055】（実施の形態3）図11は、本発明の実施の形態3による半導体装置の構成説明図、図12は、本発明の実施の形態3によるロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【0056】本実施の形態3においても、マルチチップモジュールである半導体装置1bは、前記実施の形態1、2と同様に、ガラスエポキシ基板などの配線基板2、ベアチップであるメモリ3～6、ならびにロジックチップ7から構成されており、これらメモリ3～6、ロジックチップ7の中心部には、クロック信号入力端子CKIN、クロック出力端子CKOTTがそれぞれ設けられている。

【0057】この場合でも、ロジックチップ7のクロック

ク出力端子CKOTが、レイアウトの制約などにより中心部に設けられない場合には、該クロック出力端子CKOTをロジックチップ7に形成された他の端子となるはんだバンプ8よりも中心部に近づけて配置するようにする。

【0058】また、半導体装置1bにおいては、図11に示すように、ロジックチップ7が配線基板2の裏面に実装されており、メモリ3～6が配線基板2の表面に実装されている。

【0059】メモリ3～6は、該メモリ3～6のクロック信号入力端子CKINが、配線基板2の裏面に実装されているロジックチップ7のクロック信号出力端子CKOTになるべく近づくように整列して配置されている。

【0060】この場合にも、クロック信号配線CKIOは、図12に示すように、配線基板2の裏面に実装されたロジックチップ7のクロック信号出力端子CKOTを中心としてX字状に、配線基板2の表面に実装されたメモリ3～6のクロック信号入力端子CKINにそれぞれ接続され、クロック信号配線CKIOが、直線的に、かつ最短距離となるように配線されている。

【0061】また、クロック信号配線CKIOの配線形成は、図11に示したように、ロジックチップ7のクロック出力端子CKOTをビアなどによって配線基板2直下の内層に形成された配線に接続した後、その配線をメモリ3～6のクロック信号入力端子CKINの直下までそれぞれ配線し、再びビアによって各々のクロック信号入力端子CKINに接続することにより形成されている。

【0062】よって、ロジックチップ7のクロック信号出力端子CKOTとメモリ3～6のクロック信号入力端子CKINとの配線距離を大幅に短く、かつ等長に配線することができる。

【0063】それにより、本実施の形態3においては、クロック信号配線CKIOの配線長を大幅に短くできるので、半導体装置1bをより安定して動作させることができる。

【0064】また、ロジックチップ7を配線基板2の裏面に実装することにより、配線基板2を一層小型化でき、半導体装置1bをより小さくすることができる。

【0065】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0066】たとえば、前記実施の形態1、2では、配線基板に形成されるクロック信号配線を該配線基板の内層に形成した構成としたが、クロック信号配線を、配線基板の表面に形成するようにしてもよい。

【0067】この場合、ロジックチップ7aは、図13、図14に示すように、配線基板表面に形成されたク

ロック信号配線CKIOをさけるように、クロック信号配線CKIOの直上の位置にははんだバンプを形成しない構成とする。

【0068】これにより、クロック信号配線CKIOが配線基板の内層に形成できない場合でも、容易にクロック信号配線CKIOの配線長を短く、かつ等長に配線することができる。

【0069】さらに、前記実施の形態1～3では、メモリ3～6を対称に配置し、クロック信号入力端子CKINが中心部に形成された場合について記載したが、レイアウト上の制約などからメモリ3～6を対称に配置できない場合、あるいはクロック信号入力端子CKINが中心部に形成されていない場合であっても、ロジックチップ7のクロック信号出力端子CKOTを中心部に形成したことによって容易にクロック信号配線CKIOの最短等長配線を可能とすることができる。

【0070】また、前記実施の形態1～3においては、配線基板とMPUとが、はんだバンプを介して接続された構成としたが、配線基板とMPUとの接続構成は、はんだバンプ以外でもよく、たとえば、ACF（Anisotropic Conductive Film：異方性導電フィルム）、あるいはボンディングワイヤを介しての接続であってもクロック信号配線の配線距離を短く、かつ等長に配線することができる。

【0071】さらに、前記実施の形態1～3によれば、半導体装置は、周辺チップとして4つのメモリが設けられた構成としたが、半導体装置1cは、たとえば、図15に示すように、制御用のMPUであるロジックチップ7bの他に、周辺チップとして、SDRAMのメモリ10、フラッシュメモリ（第2半導体チップ）11、グラフィックアクセラレータ（第2半導体チップ）12、ならびに液晶ディスプレイ用のドライバ（第2半導体チップ）13など様々な周辺チップを搭載してもよく、この場合においても、容易にクロック信号配線の最短等長配線を可能とすることができる。

【0072】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0073】（1）本発明によれば、クロック信号を出力するクロック出力端子を第1半導体チップの中心部または他の端子よりも中心部に近づけてに設けることによって、クロック信号配線の配線距離を容易に最短距離で等長に配線することができる。

【0074】（2）また、本発明では、クロック信号を出力するクロック出力端子を第1半導体チップの中心部または他の端子よりも中心部に近づけてに設け、第1、第2半導体チップのいずれか一方を配線基板の表面に実装し、他方を裏面に実装することにより、クロック信号配線の配線距離を容易に、より最短距離で等長に配線す

ることができる。

【0075】(3)さらに、本発明においては、上記(1)、(2)により、半導体装置を安定して動作させながら配線基板を小さくできるので、半導体装置の信頼性を大幅に向上し、かつ半導体装置の小型化、低コスト化を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置に設けられたロジックチップとメモリとのレイアウト説明図である。

【図2】本発明の実施の形態1によるクロック信号配線の接続説明図である。

【図3】本発明の実施の形態1によるロジックチップに設けられたチップ電極の説明図である。

【図4】本発明の実施の形態1によるロジックチップに設けられたクロック出力端子の説明図である。

【図5】本発明の実施の形態1によるロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【図6】本発明者が検討した半導体装置に設けられたロジックチップに設けられたクロック出力端子の説明図である。

【図7】本発明者が検討したロジックチップとメモリとのクロック信号配線における接続状態の一例を示す説明図である。

【図8】本発明者が検討したロジックチップとメモリとのクロック信号配線における接続状態の他の例を示す説明図である。

【図9】本発明の実施の形態2による半導体装置に設けられたロジックチップとメモリとのレイアウト説明図である。

【図10】本発明の実施の形態2によるロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【図11】本発明の実施の形態3による半導体装置の構成説明図である。

成説明図である。

【図12】本発明の実施の形態3によるロジックチップとメモリとのクロック信号配線における接続状態の説明図である。

【図13】本発明の他の実施の形態によるロジックチップに設けられたチップ電極における配置の一例を示す説明図である。

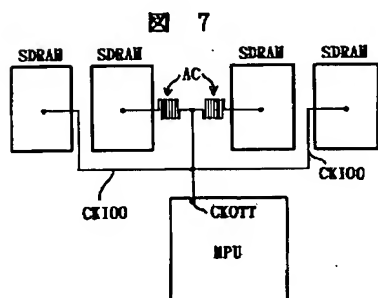
【図14】本発明の他の実施の形態によるロジックチップに設けられたチップ電極における配置の他の例を示す説明図である。

【図15】本発明の他の実施の形態による半導体装置に搭載される周辺チップの一例を示す説明図である。

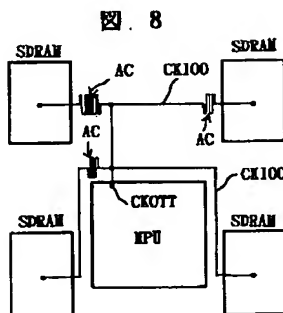
【符号の説明】

- 1 半導体装置
- 1 a 半導体装置
- 1 b 半導体装置
- 1 c 半導体装置
- 2 配線基板
- 3～6 メモリ (第2半導体チップ)
- 7, 7 a, 7 b ロジックチップ (第1半導体チップ)
- 8, 8 a はんだバンプ
- 9 はんだバンプ (外部端子)
- 10 メモリ
- 11 フラッシュメモリ (第2半導体チップ)
- 12 グラフィックアクセラレータ (第2半導体チップ)
- 13 ドライバ (第2半導体チップ)
- CCK チップ電極
- CKOT クロック出力端子
- CKIN クロック信号入力端子
- CKIO クロック信号配線
- AC アコーディオン配線
- 30 ロジックチップ
- CKIOO クロック信号配線
- CKOTT クロック出力端子

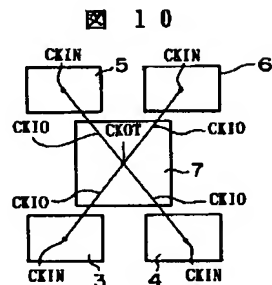
【図7】



【図8】

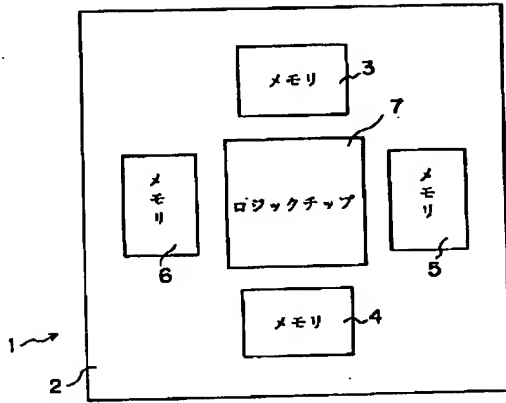


【図10】



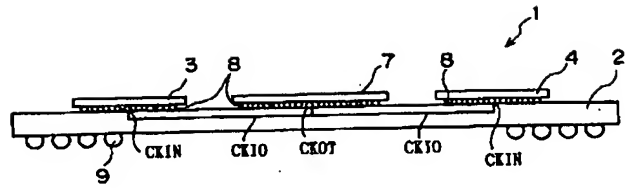
【図1】

図 1



【図2】

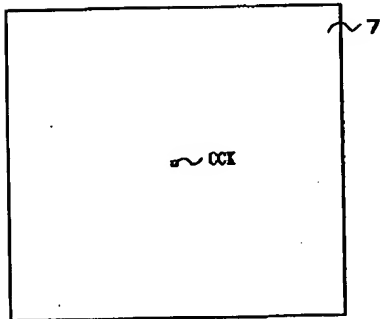
図 2



9: はんだバンプ(外部端子)

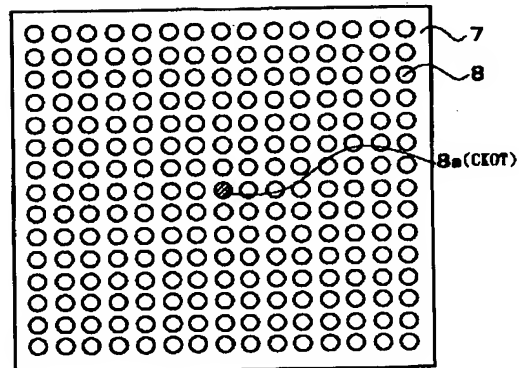
【図3】

図 3



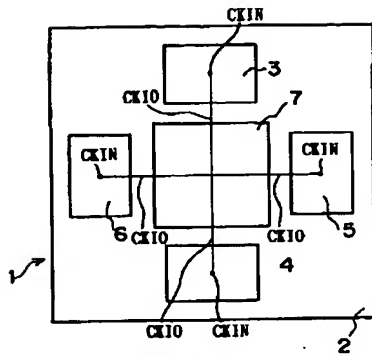
【図4】

図 4



【図5】

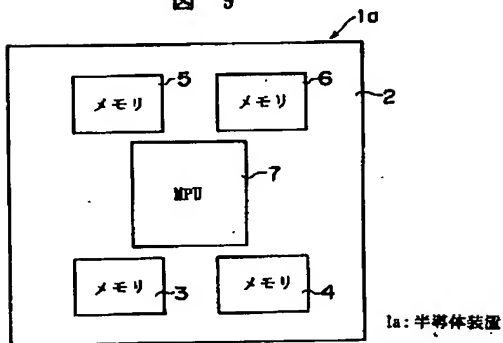
図 5



1: 半導体装置
2: 配線基板
3~6: メモリ(第2半導体チップ)
7: ロジックチップ(第1半導体チップ)
CKOT: クロック出力端子
CKIN: クロック信号入力端子
CKIO: クロック信号配線

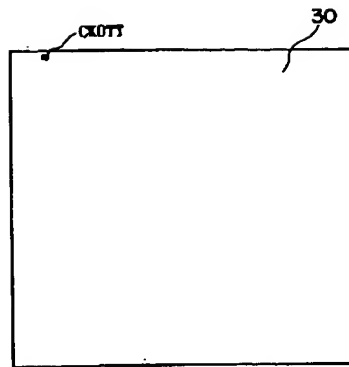
【図9】

図 9



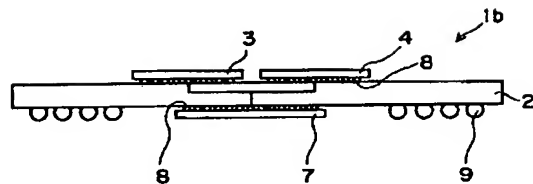
【図6】

図 6



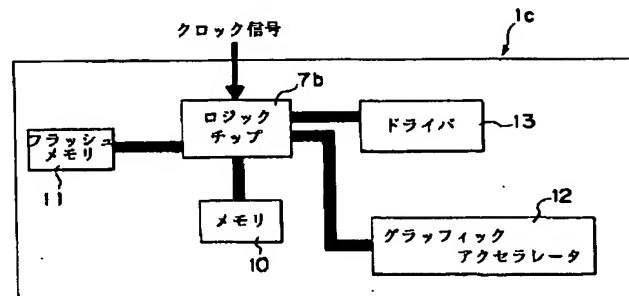
【図11】

図 11



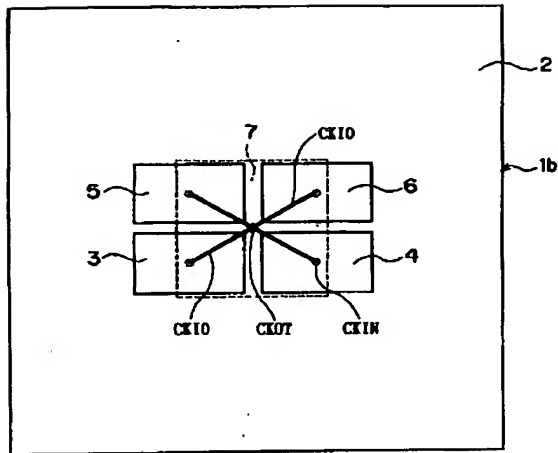
【図15】

図 15



【図12】

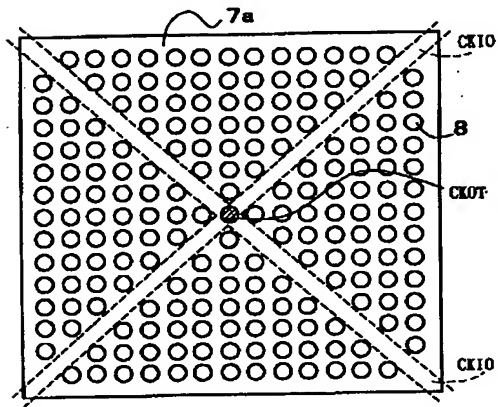
図 12



1b: 半導体装置

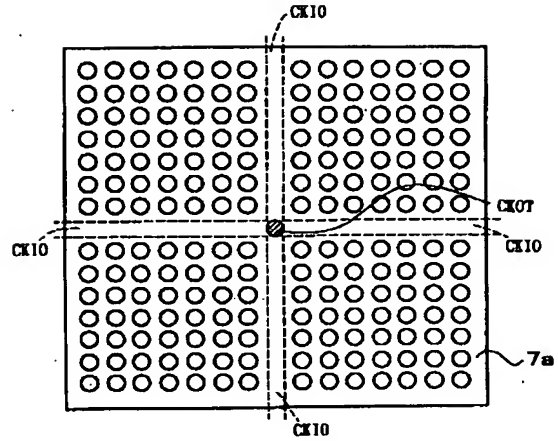
【図14】

図 14



【図13】

図 13



フロントページの続き

(72)発明者 中村 篤
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 中嶋 寛
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 山本 健一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which the 1st semiconductor chip with which the clock output terminal which outputs a clock signal was prepared, and the 2nd two semiconductor chips or more with which the clock signal input terminal into which the clock signal outputted from said 1st semiconductor chip is inputted was prepared are the semiconductor devices by which the surface mount was carried out to one wiring substrate, and is characterized by preparing the clock output terminal of said 1st semiconductor chip in the core of said 1st semiconductor chip.

[Claim 2] The 1st semiconductor chip with which the clock output terminal which outputs a clock signal was prepared, The 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from said 1st semiconductor chip is inputted was prepared are the semiconductor devices by which the surface mount was carried out to one wiring substrate. The semiconductor device characterized by having brought the clock output terminal of said 1st semiconductor chip close to the core of said 1st semiconductor chip, and having arranged it rather than other terminals in which it was prepared by said 1st semiconductor chip.

[Claim 3] The process which the clock output terminal which outputs a clock signal prepares the 1st semiconductor chip prepared in the core, The process for which the 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from said 1st semiconductor chip is inputted was prepared are prepared, The process for which the wiring substrate which mounts said 1st and 2nd semiconductor chip with which clock signal wiring which wired the clock output terminal of said 1st semiconductor chip and the clock signal input terminal of said 2nd semiconductor chip with the shortest isometric distance was formed is prepared, The manufacture approach of the semiconductor device characterized by having the process which carries said 1st and 2nd semiconductor chip in said wiring substrate, and the process which forms two or more external terminals in said wiring substrate.

[Claim 4] The process for which the 1st semiconductor chip with which the clock output terminal which outputs a clock signal was brought close and prepared in the core rather than other terminals is prepared, The process for which the 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from said 1st semiconductor chip is inputted was prepared are prepared, The process for which the wiring substrate which mounts said 1st and 2nd semiconductor chip with which clock signal wiring which wired the clock output terminal of said 1st semiconductor chip and the clock signal input terminal of said 2nd semiconductor chip with the shortest isometric distance was formed is prepared, The manufacture approach of the semiconductor device characterized by having the process which carries said 1st and 2nd semiconductor chip in said wiring substrate, and the process which forms two or more external terminals in said wiring substrate.

[Claim 5] The process for which the 1st semiconductor chip with which the clock output terminal which outputs a clock signal was brought close and prepared in the core rather than a core or other terminals is prepared, The process for which the 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from said 1st semiconductor chip is inputted was prepared are prepared, Clock signal wiring which wired the

clock output terminal of said 1st semiconductor chip and the clock signal input terminal of said 2nd semiconductor chip with the shortest isometric distance is formed. The process for which the wiring substrate which mounts either of said 1st and 2nd semiconductor chip in a front face, and mounts another side in a rear face is prepared, The manufacture approach of the semiconductor device characterized by having the process which carries said 1st and 2nd semiconductor chip in said wiring substrate, and the process which forms two or more external terminals in said wiring substrate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the internal wiring technique of semiconductor integrated circuit equipment, especially this invention is applied to optimization of clock signal wiring inside MCM (Multi Chip Module), and relates to an effective technique.

[0002]

[Description of the Prior Art] There is MCM as semiconductor integrated circuit equipment which realizes high integration and improvement in the speed. This MCM carries out the surface mount of the two or more semi-conductor bare chips to one wiring substrate.

[0003] Moreover, MCM consists of logic chips, such as MPU (Micro Processing Unit) which controls circumference chips, such as SDRAM (Synchronous Dynamic Random Access Memory) and a flash memory, and these circumference chip.

[0004] According to the place which this invention person examined, by MCM, the clock signal supplied from the outside is inputted into a logic chip through the clock signal input terminal which is an external terminal prepared in the wiring substrate.

[0005] Dividing of the clock signal inputted into this logic chip is carried out, it is outputted from the clock signal output terminal of this logic chip, and is inputted into the clock signal input terminal prepared in the circumference chip through wiring formed in the wiring substrate, respectively.

[0006] In addition, as an example to which this kind of semiconductor integrated circuit equipment is stated in detail, there are May 31, 1993, the Nikkei Business Publications issue, Susumu Koyama, Kunihiro Naruse (editorial supervision), and "practice lecture VLSI packaging technical (below)" P216-P228, and the configuration of a multi chip module etc. is indicated by this reference.

[0007]

[Problem(s) to be Solved by the Invention] However, it was found out by this invention person with the above clock signal wiring techniques of semiconductor integrated circuit equipment that there are the following troubles.

[0008] That is, since the clock signal output terminal prepared in the logic chip is prepared near the periphery of this logic chip, the wire lengths of clock signal wiring which connects a clock output terminal and the clock signal input terminal prepared in each circumference chip according to the layout of a circumference chip differ, and it has the problem that malfunction by timing dispersion of a signal etc. will arise.

[0009] moreover -- if wiring of other short clock signal wiring CKIOO is not extended in accordance with clock signal wiring of the longest wire length, either, when it is going to carry out clock signal wiring which connects the clock signal input terminal of each circumference chip, and the clock output terminal of a logic chip to isometric wiring, in order to reduce signal timing dispersion of a clock signal -- 7 -- it is -- **

[0010] Furthermore, although it is possible to make it isometry physically by extending wiring with accordion wiring etc. for example, since it necessarily becomes isometry electrically neither by the parasitic capacitance of wiring, nor parasitism resistance, timing dispersion of a clock

signal may arise.

[0011] Moreover, there is a possibility which the clock signal to which the standup of a clock signal and falling become late by overall extension of a clock signal decreases of the phenomenon in which the reflected wave form by impedance mismatching etc. arises near the threshold which operates with a clock signal happening, and causing the malfunction of a semiconductor device.

[0012] The purpose of this invention is to offer the semiconductor device which makes easy the shortest isometric wiring of clock signal wiring, can be stabilized even if it is the clock signal of high frequency, can operate certainly, and can lower a manufacturing cost, and its manufacture approach.

[0013] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0014]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0015] That is, the 1st semiconductor chip with which the clock output terminal which outputs a clock signal was prepared, and the 2nd two semiconductor chips or more with which the clock signal input terminal into which the clock signal outputted from this 1st semiconductor chip is inputted was prepared consist of configurations by which the surface mount was carried out to one wiring substrate, and the semiconductor device of this invention prepares the clock output terminal of this 1st semiconductor chip in the core of a chip.

[0016] Moreover, the 1st semiconductor chip with which the clock output terminal which outputs a clock signal was prepared, and the 2nd two semiconductor chips or more with which the clock signal input terminal into which the clock signal outputted from this 1st semiconductor chip is inputted was prepared consist of configurations by which the surface mount was carried out to one wiring substrate, rather than other terminals, the clock output terminal of this 1st semiconductor chip is brought close to a chip core, and the semiconductor device of this invention arranges it.

[0017] Furthermore, the process for which the 1st semiconductor chip with which the clock output terminal to which the manufacture approach of the semiconductor device of this invention outputs a clock signal was prepared in the core is prepared, The process for which the 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from the 1st semiconductor chip is inputted was prepared are prepared, The process for which the wiring substrate which mounts the 1st and 2nd semiconductor chip with which clock signal wiring which wired the clock output terminal of the 1st semiconductor chip and the clock signal input terminal of the 2nd semiconductor chip with the shortest isometric distance was formed is prepared, It has the process which carries the 1st and 2nd semiconductor chip in a wiring substrate, and the process which forms two or more external terminals in this wiring substrate.

[0018] Moreover, the process for which the 1st semiconductor chip which brought the manufacture approach of the semiconductor device of this invention close to a core rather than the terminal of others [output terminal / which outputs a clock signal / clock], and was prepared is prepared, The process for which the 2nd two or more semiconductor chips with which the clock signal input terminal into which the clock signal outputted from the 1st semiconductor chip is inputted was prepared are prepared, The process for which the wiring substrate which mounts the 1st and 2nd semiconductor chip with which clock signal wiring which wired the clock output terminal of the 1st semiconductor chip and the clock signal input terminal of the 2nd semiconductor chip with the shortest isometric distance was formed is prepared, It has the process which carries the 1st and 2nd semiconductor chip in a wiring substrate, and the process which forms two or more external terminals in this wiring substrate.

[0019] Furthermore, the process which the clock output terminal to which the manufacture approach of the semiconductor device of this invention outputs a clock signal prepares a core or the 1st semiconductor chip which brought close to a core rather than other terminals, and was prepared, The process for which the 2nd two or more semiconductor chips with which the clock

signal input terminal into which the clock signal outputted from the 1st semiconductor chip is inputted was prepared are prepared, Clock signal wiring which wired the clock output terminal of the 1st semiconductor chip and the clock signal input terminal of the 2nd semiconductor chip with the shortest isometric distance is formed. It has the process for which the wiring substrate which mounts either of the 1st and 2nd semiconductor chip in a front face, and mounts another side in a rear face is prepared, the process which carries the 1st and 2nd semiconductor chip in a wiring substrate, and the process which forms two or more external terminals in this wiring substrate.

[0020] By the above thing, the shortest isometric wiring of the clock signal wiring which connects the clock output terminal of the 1st semiconductor chip and the clock signal input terminal of the 2nd semiconductor chip can be carried out easily.

[0021]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0022] (Gestalt 1 of operation) The layout explanatory view of the logic chip and memory by which drawing 1 was prepared in the semiconductor device by the gestalt 1 of operation of this invention, and drawing 2 The connection explanatory view of clock signal wiring by the gestalt 1 of operation of this invention and drawing 3 The explanatory view of the chip electrode prepared in the logic chip by the gestalt 1 of operation of this invention and drawing 4 The explanatory view of the clock output terminal prepared in the logic chip by the gestalt 1 of operation of this invention and drawing 5 The explanatory view of the connection condition in clock signal wiring with the logic chip and memory by the gestalt 1 of operation of this invention and drawing 6 The explanatory view of the clock output terminal prepared in the logic chip prepared in the semiconductor device which this invention person examined, drawing 7, and drawing 8 are the explanatory views of the connection condition in clock signal wiring with the logic chip and memory which this invention person examined.

[0023] In the gestalt 1 of this operation, as shown in the semiconductor device 1 which is a multi chip module at drawing 1, the wiring substrate 2 is formed. The wiring substrate 2 consists of a glass epoxy group plate etc., and the multilayer interconnection is formed.

[0024] The surface mount of the memory (the 2nd semiconductor chip) 3-6 which is a bare chip, and the logic chip (the 1st semiconductor chip) 7 is carried out to the principal plane of the wiring substrate 2. Memory 3-6 consists of a SDRAM. The logic chip 7 is MPU etc. and manages control of this memory 3-6.

[0025] The magnitude of the wiring substrate 2 consists of a square whose one side is about 27mm, and the magnitude of memory 3-6 consists of a rectangle about 4.7mm and whose long side a shorter side is about 8.2mm. The logic chip 7 serves as a square whose one side is about 6.8mm.

[0026] As shown in drawing 2, the chip electrode for connection is formed in memory 3-6 and the rear face of the logic chip 7 in the shape of an array, and these chip electrode and the polar zone for connection of the wiring substrate 2 are electrically connected to them through the solder bump 8 who consists of oxidation resistant metals, such as gold or nickel, respectively. From here, a connection will think as solder.

[0027] Moreover, the diameter of the magnitude of memory 3-6 and the globular form solder bump 8 formed in the logic chip 7 is about 0.1mm, and the distance of the center to center of the solder bump 8 whom the solder bump's 8 array spacing adjoins has become about 0.3mm.

[0028] It applies to a core from the periphery section of this wiring substrate 2, for example, the polar zone of four trains is formed in the rear face of the wiring substrate 2 in the shape of an array in the predetermined pitch, and the solder bump (external terminal) 9 who consists of globular form solder is formed in it at these polar zone, respectively.

[0029] The solder bump 9 is electrically connected to the inner layer of this wiring substrate 2, and the predetermined circuit pattern formed in the principal plane through the beer formed in the wiring substrate 2, respectively.

[0030] And the polymerization of the solder bump 9 is carried out to the electrode (substrate electrode) formed in printed-circuit board P which mounts electronic parts etc., she is carried,

and a semiconductor device 1 is electrically connected by performing a reflow.

[0031] Furthermore, as shown in drawing 3, the chip electrode CCK is formed in the core of the logic chip 7. The chip electrode CCK carries out dividing of the clock signal inputted from the outside, and outputs it. By forming solder bump 8a in this chip electrode CCK, as shown in drawing 4, it becomes the clock output terminal CKOT.

[0032] Moreover, when the clock output terminal CKOT of the logic chip 7 is not formed in a core by constraint of a layout etc., rather than the solder bump 8 who becomes other terminals formed in the logic chip 7, this clock output terminal CKOT is brought close to a core, and is arranged.

[0033] The clock signal input terminal CKIN which inputs the clock signal outputted from the clock output terminal CKOT of the logic chip 7 is formed in the core of memory 3-6, respectively.

[0034] Memory 3-6 is arranged in near in the upper part of the logic chip 7, a lower part, and the side on either side, respectively, as shown in drawing 5. The clock output terminal CKOT of the logic chip 7 and the clock signal input terminal CKIN of memory 3-6 are connected by the clock signal wiring CKIO.

[0035] It connects with the clock signal input terminal CKIN of memory 3-6 in the shape of a cross joint focusing on the clock signal output terminal CKOT of the logic chip 7, respectively, and the clock signal wiring CKIO is wired, respectively so that this clock signal wiring CKIO may serve as the minimum distance linearly.

[0036] Wiring formation of the clock signal wiring CKIO is formed by wiring, respectively to directly under [of the clock signal input terminal CKIN of memory 3-6], and connecting the wiring to each clock signal input terminal CKIN with beer again, after connecting the clock output terminal CKOT of the logic chip 7 to wiring formed in the inner layer of wiring substrate 2 directly under with beer, as shown in drawing 2.

[0037] By this, in the wiring distance of the clock signal output terminal CKOT of the logic chip 7, and the clock signal input terminal CKIN of memory 3-6, it is short and isometry can be wired.

[0038] Next, the clock signal wiring CKIOO of the semiconductor device which is the multi chip module which this invention person examined is explained using drawing 6 - drawing 8. Here, the surface mount of four memory which is bare chips, and the logic chip 30 shall be carried out by the configuration of a semiconductor device on wiring substrates, such as a glass epoxy group plate, like the semiconductor device 1 in the gestalt 1 of this operation.

[0039] As the logic chip 30 carried in a multi chip module is shown in drawing 6, the clock output terminal CKOTT is formed near [a certain] the periphery of one side in this logic chip 30. Drawing 6 shows the terminal of the clock output terminal CKOTT for simplification.

[0040] Thus, when the clock output terminal CKOTT of the logic chip 30 is formed in the location where the semiconductor chip inclined, as shown in drawing 7 and drawing 8, it becomes difficult to carry out isometric wiring of all the clock signal wiring CKIOO.

[0041] Therefore, although a wire length must be extended and it becomes isometry physically in this case by forming other the short clock signal wiring CKIOO of other for the so-called accordion wiring AC etc. in accordance with the clock signal wiring CKIOO of the longest wire length, since there is a parasitism component of wiring, it does not necessarily become isometry electrically and there is a possibility that timing dispersion of a clock signal may occur.

[0042] Moreover, even if it becomes isometry electrically, attenuation of a clock signal, collapse of a clock waveform, etc. arise by the increment in such a wire length, and there is a possibility of causing a malfunction.

[0043] However, in the semiconductor device 1 in the gestalt 1 of this operation, since the clock signal output terminal CKOT is formed in the center section of this logic chip 7, about the wiring distance of the clock signal output terminal CKOT of the logic chip 7, and the clock signal input terminal CKIN of memory 3-6, it is the minimum distance easily and it becomes possible to wire isometry, respectively.

[0044] Since it is short and the wire length of the clock signal wiring CKIO is made to isometry by that cause according to the gestalt 1 of this operation, even if clock frequency becomes high, it can be stabilized and a semiconductor device 1 can be operated.

[0045] Moreover, when the wire length of the clock signal wiring CKIO becomes short, the wiring substrate 2 can be miniaturized and a semiconductor device 1 can be made small.

[0046] (Gestalt 2 of operation) The layout explanatory view of the logic chip and memory by which drawing 9 was prepared in the semiconductor device by the gestalt 2 of operation of this invention, and drawing 10 are the explanatory views of the connection condition in clock signal wiring with the logic chip and memory by the gestalt 2 of operation of this invention.

[0047] In the gestalt 2 of this operation, semiconductor device 1a which is a multi chip module consists of wiring substrates 2, such as a glass epoxy group plate, memory 3-6 which is a bare chip, and a logic chip 7 like the gestalt 1 of said operation, as shown in drawing 9.

[0048] The clock signal input terminal CKIN and the clock output terminal CKOT are formed in the core of these memory 3-6 and the logic chip 7, respectively. Here, when the clock output terminal CKOT of the logic chip 7 is not formed in a core by constraint of a layout etc., rather than the solder bump 8 who becomes other terminals formed in the logic chip 7, this clock output terminal CKOT is brought close to a core, and is arranged.

[0049] Moreover, in semiconductor device 1a, the logic chip 7 is mounted in the center section of the wiring substrate 2, memory 3 and 4 is arranged above this logic chip 7, and memory 5 and 6 is arranged under the logic chip 7.

[0050] As shown in drawing 10, it connects with the clock signal input terminal CKIN of memory 3-6 in the shape of an X character focusing on the clock signal output terminal CKOT of the logic chip 7, respectively, and the clock signal wiring CKIO is wired so that the clock signal wiring CKIO may serve as the minimum distance linearly.

[0051] Therefore, in the wiring distance of the clock signal output terminal CKOT of the logic chip 7, and the clock signal input terminal CKIN of memory 3-6, it is short and isometry can be wired, respectively.

[0052] As shown in the gestalt 1 of said operation, after wiring formation of the clock signal wiring CKIO connects the clock output terminal CKOT of the logic chip 7 to wiring formed in the inner layer of wiring substrate 2 directly under with beer, it wires, respectively to directly under [of the clock signal input terminal CKIN of memory 3-6], and forms the wiring by connecting with each clock signal input terminal CKIN with beer again.

[0053] By it, according to the gestalt 2 of this operation, the surface mount of other electronic parts, such as resistance on the wiring substrate 2 and an electrostatic-capacity component, is carried out, even if it is the case where there is constraint which cannot arrange memory 3-6 to the periphery of four sides of the logic chip 7, in the wiring distance of the clock signal output terminal CKOT of the logic chip 7, and the clock signal input terminal CKIN of memory 3-6, it is short and isometry can be wired.

[0054] Moreover, when the wire length of the clock signal wiring CKIO becomes short, the wiring substrate 2 can be miniaturized and semiconductor device 1a can be made small.

[0055] (Gestalt 3 of operation) The configuration explanatory view of the semiconductor device according [drawing 11] to the gestalt 3 of operation of this invention and drawing 12 are the explanatory views of the connection condition in clock signal wiring with the logic chip and memory by the gestalt 3 of operation of this invention.

[0056] Also in the gestalt 3 of this operation, semiconductor device 1b which is a multi chip module consists of wiring substrates 2, such as a glass epoxy group plate, memory 3-6 which is a bare chip, and a logic chip 7 like the gestalten 1 and 2 of said operation, and the clock signal input terminal CKIN and the clock output terminal CKOT are formed in the core of these memory 3-6 and the logic chip 7, respectively.

[0057] Even in this case, when the clock output terminal CKOT of the logic chip 7 is not formed in a core by constraint of a layout etc., rather than the solder bump 8 who becomes other terminals formed in the logic chip 7, this clock output terminal CKOT is brought close to a core, and is arranged.

[0058] Moreover, in semiconductor device 1b, as shown in drawing 11, the logic chip 7 is mounted in the rear face of the wiring substrate 2, and memory 3-6 is mounted in the front face of the wiring substrate 2.

[0059] Memory 3-6 is arranged in line so that the clock signal input terminal CKIN of this

memory 3-6 may, if possible, approach the clock signal output terminal CKOT of the logic chip 7 mounted in the rear face of the wiring substrate 2.

[0060] Also in this case, as shown in drawing 12, focusing on the clock signal output terminal CKOT of the logic chip 7 mounted in the rear face of the wiring substrate 2, in the shape of an X character, it connects with the clock signal input terminal CKIN of the memory 3-6 mounted in the front face of the wiring substrate 2, respectively, and the clock signal wiring CKIO is wired so that the clock signal wiring CKIO may serve as the minimum distance linearly.

[0061] Moreover, wiring formation of the clock signal wiring CKIO is formed by wiring, respectively to directly under [of the clock signal input terminal CKIN of memory 3-6], and connecting the wiring to each clock signal input terminal CKIN with beer again, after connecting the clock output terminal CKOT of the logic chip 7 to wiring formed in the inner layer of wiring substrate 2 directly under with beer, etc., as shown in drawing 11.

[0062] Therefore, in the wiring distance of the clock signal output terminal CKOT of the logic chip 7, and the clock signal input terminal CKIN of memory 3-6, it is sharply short and isometry can be wired.

[0063] Thereby, in the gestalt 3 of this operation, since the wire length of the clock signal wiring CKIO can be shortened sharply, it can be stabilized more and semiconductor device 1b can be operated.

[0064] Moreover, by mounting the logic chip 7 in the rear face of the wiring substrate 2, the wiring substrate 2 can be miniaturized further and semiconductor device 1b can be made smaller.

[0065] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0066] For example, although clock signal wiring formed in a wiring substrate was considered as the configuration formed in the inner layer of this wiring substrate with the gestalten 1 and 2 of said operation, you may make it form clock signal wiring in the front face of a wiring substrate.

[0067] In this case, as shown in drawing 13 and drawing 14, logic chip 7a is taken as the configuration which does not form a solder bump in the location of the right above of the clock signal wiring CKIO so that the clock signal wiring CKIO formed in the wiring substrate front face may be avoided.

[0068] Thereby, even when the clock signal wiring CKIO cannot form in the inner layer of a wiring substrate, easily, in the wire length of the clock signal wiring CKIO, it is short and isometry can be wired.

[0069] Furthermore, although the gestalten 1-3 of said operation indicated the case where had arranged memory 3-6 to the symmetry, and the clock signal input terminal CKIN was formed in a core. Even if it is the case where the clock signal input terminal CKIN is not formed in the core when memory 3-6 cannot be arranged from the constraint on a layout etc. to the symmetry or. The shortest isometric wiring of the clock signal wiring CKIO can be easily enabled by having formed the clock signal output terminal CKOT of the logic chip 7 in the core.

[0070] Moreover, in the gestalten 1-3 of said operation, although a wiring substrate and MPU considered as the configuration connected through the solder bump, even if the connection configuration of a wiring substrate and MPU is connection which except a solder bump is sufficient as, for example, minds ACF (Anisotropic Conductive Film: anisotropy electric conduction film) or a bonding wire, in the wiring distance of clock signal wiring, it is short and can wire isometry.

[0071] Furthermore, according to the gestalten 1-3 of said operation, considered the semiconductor device as the configuration in which four memory was prepared as a circumference chip, but As shown in drawing 15, semiconductor device 1c besides logic chip 7b which is MPU for control as a circumference chip Various circumference chips, such as the memory 10 of SDRAM, a flash memory (the 2nd semiconductor chip) 11, a graphic accelerator (the 2nd semiconductor chip) 12, and the driver 13 for liquid crystal displays (the 2nd semiconductor chip), may be carried. Also in this case The shortest isometric wiring of clock

signal wiring can be enabled easily.

[0072]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0073] (1) bringing close, boiling and preparing the clock output terminal which outputs a clock signal in a core rather than the core or other terminals of the 1st semiconductor chip according to this invention -- the wiring distance of clock signal wiring -- easy -- the minimum distance -- it is -- etc. -- merit can be wired.

[0074] (2) moreover, the thing for which the clock output terminal which outputs a clock signal is brought close, boiled and prepared in a core rather than the core or other terminals of the 1st semiconductor chip in this invention, either of the 1st and 2nd semiconductor chip is mounted in the front face of a wiring substrate, and another side is mounted in a rear face -- the wiring distance of clock signal wiring -- easy -- more -- the minimum distance -- it is -- etc. -- merit can be wired.

[0075] (3) Since a wiring substrate can be further made small, being stabilized and operating a semiconductor device by the above (1) and (2) in this invention, the dependability of a semiconductor device can be improved sharply and miniaturization of a semiconductor device and low cost-ization can be realized.

[Translation done.]